

S 2298



(18) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

(12) **Patentschrift**  
(10) **DE 100 00 003 C2**

(51) Int. Cl. 7:  
**H 01 L 21/8242**  
H 01 L 21/306

DE 100 00 003 C2

(21) Aktenzeichen: 100 00 003.7-33  
(22) Anmeldetag: 3. 1. 2000  
(43) Offenlegungstag: 12. 7. 2001  
(45) Veröffentlichungstag  
der Patenterteilung: 6. 12. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(73) Patentinhaber:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Patentanwälte MÜLLER & HOFFMANN, 81667  
München

(72) Erfinder:

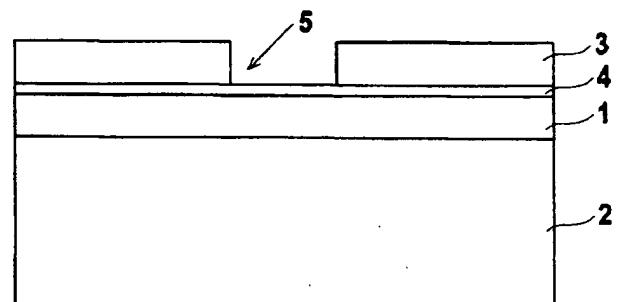
Stegemann, Maik, 01157 Dresden, DE; Rudolph,  
Uwe, 01169 Dresden, DE; Brecher, Lothar, 01454  
Radeberg, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

US 55 50 085

(54) Verfahren zur Herstellung von Gräben für DRAM Zellanordnungen

(55) Verfahren zur Herstellung von Gräben für die Herstellung von Speicher kondensatoren bei DRAM-Zellanordnungen, umfassend folgende Verfahrensschritte:  
 - Aufbringen einer ersten, aus einer SiO<sub>2</sub>-Schicht gebildeten Maskenschicht (1) und einer zweiten, aus einer Polysiliziumschicht oder einer kristallinen Siliziumschicht gebildeten Maskenschicht (2) auf einen ein Halbleitersubstrat bildenden Wafer, wobei die erste Maskenschicht (1) erheblich dünner als die zweite, darunter liegende und auf dem Halbleitersubstrat aufgebrachte Maskenschicht (2) ist,  
 - Aufbringen einer Lackmaske (3, 4) auf die erste Maskenschicht (1),  
 - Strukturierung von Ausnehmungen in der ersten Maskenschicht (1) entsprechend dem Lochmuster der Lackmaske (3, 4) mittels eines ersten Ätzprozesses, wobei die erste Maskenschicht (1) selektiv zur Lackmaske (3, 4) ätzbar ist, und  
 - anschließende Strukturierung von Ausnehmungen in der zweiten Maskenschicht (2) durch die Ausnehmungen der ersten Maskenschicht (1) mittels eines zweiten Ätzprozesses, wobei die zweite Maskenschicht (2) selektiv zur ersten Maskenschicht (1) ätzbar ist, dadurch gekennzeichnet, dass  
 - die erste Maskenschicht (1) eine Schichtdicke im Bereich vom 100 nm bis 250 nm aufweist und  
 - die zweite Maskenschicht eine Schichtdicke größer als 850 nm aufweist.



DE 100 00 003 C2

## Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zur Herstellung von Gräben für die Herstellung von Speicherkondensatoren bei DRAM Zellanordnungen.

[0002] Bei bekannten DRAM Zellanordnungen, das heißt Speicherzellen-Anordnungen mit dynamischem, wahlfreiem Zugriff, werden üblicherweise Speicherzellen mit einem Transistor, sogenannte Eintransistor-Speicherzellen eingesetzt. Eine derartige Eintransistor-Speicherzelle umfasst neben dem Transistor, der einen Auslesetransistor bildet, einen Speicherkondensator. In dem Speicherkondensator ist eine Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, 0 oder 1, darstellt. Durch die Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden.

[0003] Da von Speichergeneration zu Speichergeneration die Speicherdichte zunimmt, muss die benötigte Fläche der Speicherzelle von Generation zu Generation reduziert werden. Da der Reduktion der Größe der Speicherzelle durch die minimale in der jeweiligen Technologie herstellbare Strukturgröße Grenzen gesetzt sind, ist dies auch mit einer Veränderung des Aufbaus der Speicherzellen verbunden. So wurden bis zur 1 MBit-Generation von DRAM Zellanordnungen sowohl der Auslesetransistor als auch der Speicherkondensator als planare Bauelemente realisiert. Ab der 4 MBit-Speichergeneration musste eine dreidimensionale Anordnung von Speicherkondensator und Auslesetransistor erfolgen.

[0004] Dabei werden die Speicherkondensatoren insbesondere nicht planar sondern in Gräben realisiert. Derartige Speicherzellen sind als Deep Trench Speicherzellen bekannt.

[0005] Ein derartiger Speicherkondensator besteht typischerweise aus zwei durch ein Dielektrikum getrennten Elektroden, welche gemeinsam von einer Isolatorschicht umgeben in einem Graben nebeneinander liegend angeordnet sind. Die Gräben sind in ein Halbleitersubstrat eingearbeitet und münden an dessen Oberseite aus. Das Halbleitersubstrat ist üblicherweise von einem Silizium-Wafer gebildet. Der Auslesetransistor weist eine Gate-Elektrode sowie ein Source/Drain Gebiet auf. Die Gate-Elektrode wird in vorgegebenem Abstand zum Speicherkondensator an der Oberseite des Halbleitersubstrats aufgebracht, das Source/Drain Gebiet wird durch Implantation von Dotierstoffen erzeugt.

[0006] Bei bekannten DRAM Zellanordnungen werden die Gräben für die Speicherkondensatoren üblicherweise in einem mehrstufigen Verfahren eingearbeitet, welches folgende Verfahrensschritte umfasst.

[0007] Zunächst wird auf dem das Halbleitersubstrat bildenden Wafer eine Maskenschicht aufgebracht, die üblicherweise von einer SiO<sub>2</sub>-Schicht gebildet ist. Auf diese Maskenschicht wird eine Lackmaske aufgebracht, die aus einer Resistorschicht und einer darunter liegenden Antiresistschicht besteht. Zur Erzeugung der Lackmaske wird mittels bekannter Photolithographieprozesse ein der Struktur der Gräben entsprechendes Lochmuster in die Lackschicht eingearbeitet.

[0008] Durch die Löcher der Lackmaske erfolgt mittels eines Ätzprozesses ein Einätzen von Ausnehmungen in die Maskenschicht. Mittels dieses Ätzprozesses, der sogenannten DTMO-Ätzung wird aus der Maskenschicht eine Hartmaske erstellt. Diese Hartmaske wiederum wird für einen zweiten Ätzprozess verwendet, der sogenannten DT-Ätzung, bei welcher die Gräben durch die Ausnehmungen der Hartmaske in das Halbleitersubstrat eingeätzt werden.

[0009] Durch die sich rasch fortentwickelnde Technologie im Bereich der DRAM-Speicherzellen werden bei immer kleineren Dimensionen gleichbleibend hohe Kapazitäten derartiger Deep-Trench-Speicherzellen gefordert. Zur Erfüllung dieser Forderung ist es notwendig, dass die Gräben der Speicherzellen möglichst große Tiefen aufweisen. Dies wiederum bedingt möglichst große Ätzzeiten bei der DT-Ätzung. Um diese Forderung zu erfüllen muss die Schichtdicke der SiO<sub>2</sub>-Schicht, welche die Hartmaske bildet, möglichst groß sein. Die Schichtdicke der Hartmaske ist jedoch

durch die Ausbildung der Lackmaske, insbesondere deren Schichtdicke begrenzt. Bei den gängigen und bekannten Lithographieverfahren sind Lackmasken nur bis zu begrenzten Schichtdicken strukturierbar. Aufgrund dessen sind bei bekannten DRAM Zellanordnungen Hartmasken einsetzbar, deren Schichtdicken auf maximal etwa 850 nm begrenzt sind. Die damit erzielbaren Tiefen der Gräben und damit erreichbaren Kapazitäten der Speicherzellen sind unerwünscht gering.

[0010] Ein weiteres Problem besteht darin, dass durch Beeinträchtigungen des Waferrands bei der nachfolgenden Ätzung der Gräben am Rand des Wafers sogenanntes Black Silicon entsteht. Hierbei handelt es sich um eine lokale Bildung von rauen, nadelförmigen Siliziumstrukturen im Bereich des Waferrandes. Der Wafer ist in diesem Bereich aufgrund hoher Defektdichten produktionsuntauglich, so dass DRAM Zellanordnungen, die in diesem Bereich oder in der Nähe liegen, als Ausschuss anfallen und die Ausbeute bei der Herstellung von DRAM Zellanordnungen unerwünscht verringern.

[0011] Um diesem Problem zu begegnen wird üblicherweise bei der DT-Ätzung und/oder bei der DTMO-Ätzung der Waferrand mittels eines Abdeckrings abgedeckt. Bei einem derartigen Abdeckring handelt es sich um einen ätzresistenten Ring, der dicht über dem Wafer geführt ist und als Blende bei der Durchführung der Ätzprozesse wirkt.

[0012] Zwar wird durch den Einsatz des Abdeckrings eine Bildung von Black Silicon weitgehend vermieden. Nachteilig hierbei ist jedoch, dass der Abdeckring den Ätzprozess derart beeinflusst, dass in der Umgebung des Abdeckrings bei der Ätzung nicht vertikal sondern schräg verlaufende Ätzprofile erhalten werden. Dies gilt insbesondere für die DTMO-Ätzung zur Herstellung der Hartmaske.

[0013] Dadurch wird ein unerwünschter Versatz der Gräben zu den aktiven Bereichen der DRAM Zellanordnung erhalten, was letztlich zu einer Funktionsbeeinträchtigung der gesamten DRAM Zellanordnung führen kann.

[0014] In der US 5,550,085 ist ein Verfahren zum Herstellen eines vergrubenen Kontaktes beschrieben, bei dem auf ein Siliziumsubstrat eine untere Maskenschicht aus Siliziumdioxid mit einer Schichtdicke von ungefähr 5 bis 20 nm und eine obere Maskenschicht aus polykristallinem Silizium mit einer Schichtdicke von 5 bis 100 nm aufgetragen werden. Im Regelfall wird hier also die obere Maskenschicht mit 5 bis 100 nm dicker als die untere Maskenschicht mit 5 bis 20 nm sein. Dennoch kann in einem Extremfall nicht ausgeschlossen werden, dass die untere Maskenschicht mit einer Schichtdicke von 20 nm etwa um einen Faktor 4 dicker ist als die obere Maskenschicht mit einer Schichtdicke von 5 nm. Mit diesem bekannten Verfahren sollen vergrubene Kontakt in einem Halbleitersubstrat geschaffen werden.

[0015] Ausgehend von dem aus der US 5,550,085 bekannten Verfahren liegt der Erfindung die Aufgabe zugrunde, in einem Halbleitersubstrat Gräben mit großer Tiefe erzeugen zu können, um so Speicherzellen mit möglichst hoher Kapazität bei gleichzeitig hoher Qualität herzustellen. [0016] Zur Lösung dieser Aufgabe ist ein Verfahren mit

den Merkmalen des Patentanspruchs 1 vorgesehen. Vorteilhafte Ausführungsformen und zweckmäßige Weiterbildungen der Erfindung sind in den Unteransprüchen beschrieben.  
[0017] Das erfindungsgemäße Verfahren umfasst folgende Verfahrensschritte.

[0018] Zunächst erfolgt ein Aufbringen einer ersten und zweiten Maskenschicht auf einen ein Halbleitersubstrat bildenden Wafer, wobei die erste Maskenschicht erheblich dünner als die zweite, darunter liegende Maskenschicht ist.  
[0019] Dann wird eine Lackmaske auf die erste Maskenschicht aufgebracht.

[0020] Darauf folgt die Strukturierung von Ausnehmungen in der ersten Maskenschicht entsprechend dem Lochmuster der Lackmaske mittels eines ersten Ätzprozesses, wobei die erste Maskenschicht selektiv zur Lackmaske ätzbar ist.

[0021] Schließlich erfolgt die Strukturierung von Ausnehmungen in der zweiten Maskenschicht durch die Ausnehmungen der ersten Maskenschicht mittels eines zweiten Ätzprozesses, wobei die zweite Maskenschicht selektiv zur ersten Maskenschicht ätzbar ist.

[0022] Der Grundgedanke der vorliegenden Erfindung besteht somit darin, zur Herstellung der Gräben eine zweistufige Hartmaske vorzusehen.

[0023] Dabei ist die Schichtdicke der die obere Stufe der Hartmaske bildenden ersten Maskenschicht erheblich dünner als die untere Stufe der Hartmaske bildende zweite Maskenschicht. Erfindungsgemäß wird diese Struktur dadurch erreicht, dass für die erste Maskenschicht ein Material gewählt wird, welches selektiv zur Lackmaske ätzbar ist, und dass für die zweite Maskenschicht ein Material verwendet wird, welches selektiv zur ersten Maskenschicht ätzbar ist. Vorzugsweise besteht die erste Maskenschicht aus Polysilizium oder kristallinem Silizium, während die zweite Maskenschicht aus einem Oxid, vorzugsweise aus SiO<sub>2</sub> besteht.

[0024] Die so ausgebildete erste Maskenschicht lässt sich leicht mit der Lackmaske strukturieren, wobei bereits relativ geringe Schichtdicken der Lackmaske zur Strukturierung ausreichen. Die Schichtdicke der ersten Maskenschicht liegt unterhalb von 250 nm und kann bis zu Schichtdicken von etwa 100 nm reduziert werden. Durch die Selektivität des zweiten Ätzprozesses bei der Ätzung der zweiten Maskenschicht hat deren Schichtdicke Werte von 850 nm und darüber. Vorteilhafterweise kann die Schichtdicke etwa 1 µm betragen oder sogar noch größere Werte annehmen. Dadurch können bei der Herstellung der Speicherzellen sehr tiefe Gräben erzeugt werden, wodurch Kapazitäten der Speicherzellen von etwa 40 fF erhalten werden können.

[0025] Ein weiterer wesentlicher Vorteil der erfindungsgemäßen zweistufigen Hartmaske besteht darin, dass bei deren Verwendung zur Herstellung von Gräben für die Speicherzellen der DRAM Zellanordnung die Entstehung von Black Silicon im Randbereich des Wafers verhindert werden kann, ohne einen nennenswerten Versatz der Ätzprofile in diesem Randbereich bei der DTMO- und/oder DT-Ätzung zu erhalten.

[0026] Um die Entstehung von Black Silicon am Rand des Wafers zu verhindern, ist es ausreichend, nur bei der Strukturierung von Ausnehmungen in der ersten, oberen Maskenschicht den Rand des Wafers vorzugsweise mit einem Abdeckring abzudecken. Dabei ist vorteilhaft, dass die Schichtdicke der ersten Maskenschicht erheblich dünner als die Schichtdicke der darunter liegenden zweiten Maskenschicht ist.

[0027] Durch die geringe Schichtdicke der ersten Maskenschicht wird bei der Strukturierung der Ausnehmungen in dieser Maskenschicht, die vorzugsweise mittels eines

Plasma-Ätzprozesses erfolgt, kein oder nur ein geringer Versatz im Bereich des Abdeckrings erhalten. Vorteilhaftweise wird für den Ätzprozess eine High-Density-Plasmaquelle verwendet, wodurch der Einfluss des Abdeckrings auf den Ätzprozess weiter vermindert wird.

[0028] In einem darauffolgenden Verfahrensschritt wird die zweite Maskenschicht strukturiert, wobei hierzu wiederum ein Plasma-Ätzprozess eingesetzt wird, bei welchem durch die Ausnehmungen in der ersten Maskenschicht in die zweite Maskenschicht eingeätzt wird.

[0029] Bei diesem zweiten Ätzprozess wird der Abdeckring nicht mehr verwendet, da die erste Maskenschicht auch im Bereich des Waferrandes vollständig erhalten ist. Durch die Selektivität der Ätzung der zweiten Maskenschicht bleibt somit der Waferrand bei der Ätzung unversehrt. Dadurch wird eine Bildung von Black Silicon bei der nachfolgenden Grabenätzung vermieden.

[0030] Somit wird der Versatz der Gräben allein durch die Schichtdicke der ersten Maskenschicht bestimmt. Da bei der erfindungsgemäßen zweistufigen Hartmaske die Schichtdicke dieser ersten Maskenschicht sehr klein und insbesondere erheblich kleiner als die Schichtdicke der zweiten Maskenschicht gewählt werden kann, ist der Versatz der Gräben entsprechend so gering, dass dadurch keine Funktionsbeeinträchtigungen der DRAM Zellanordnung auftreten.

[0031] Die Erfindung wird im nachstehenden anhand der Zeichnungen erläutert:

[0032] Fig. 1-Fig. 4 Schematische Darstellung des Ablaufs eines Ausführungsbeispiels des erfindungsgemäßen Verfahrens.

[0033] In den Fig. 1-4 ist schematisch der Ablauf eines Ausführungsbeispiele des erfindungsgemäßen Verfahrens zur Herstellung von Gräben für die Herstellung von Speicher kondensatoren bei DRAM Zellanordnungen beschrieben.

[0034] Eine derartige DRAM Zellanordnung umfasst eine Vielzahl von Speicherzellen, die vorzugsweise matrixförmig angeordnet sind. Die DRAM Zellanordnung besteht üblicherweise aus Speicherzellen, die als Eintransistor-Speicherzellen ausgebildet sind. Jede Speicherzelle weist jeweils einen Speicher kondensator sowie einen Auslesetransistor auf. Der Auslesetransistor weist eine Gate-Elektrode sowie ein Source/Drain Gebiet auf.

[0035] In dem Speicher kondensator ist eine Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, 0 oder 1, darstellt. Durch die Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden.

[0036] Die Speicherzellen sind als Deep-Trench-Speicherzellen ausgebildet, bei welchen die Speicher kondensatoren in Gräben realisiert sind.

[0037] Mittels des erfindungsgemäßen Verfahrens werden diese Gräben in ein Halbleiter substrat eingearbeitet, welches aus einem Silizium-Wafer besteht.

[0038] Zur Strukturierung der Gräben in dem Halbleiter substrat wird erfindungsgemäß eine zweistufige Hartmaske verwendet, welche eine erste und zweite Maskenschicht 1, 2 aufweist. In einem ersten Verfahrensschritt werden diese Maskenschichten 1, 2 auf das in den Fig. 1-4 nicht dargestellte Halbleiter substrat aufgebracht. Prinzipiell kann die Hartmaske unmittelbar auf das Halbleiter substrat aufgebracht werden. Üblicherweise sind zwischen dem Halbleiter substrat und der Hartmaske weitere Schichten angeordnet, wie insbesondere eine SiN-Schicht. Diese Schichten sind jedoch für das erfindungsgemäße Verfahren ohne Bedeutung.

[0039] Im vorliegenden Ausführungsbeispiel ist diese erste Maskenschicht 1 von einer Polysiliziumschicht gebildet.

Alternativ kann die erste Maskenschicht 1 auch aus kristallinem Silizium gebildet sein. Prinzipiell kann die erste Maskenschicht 1 auch von Metallen oder dergleichen gebildet sein. Die zweite, darunter liegende Maskenschicht 2 ist von einer SiO<sub>2</sub>-Schicht gebildet. Prinzipiell sind auch andere Oxide zur Bildung der zweiten Maskenschicht 2 einsetzbar. [0040] Auf die erste Maskenschicht 1 wird eine Lackmaske aufgebracht, die eine Resistorschicht 3 und eine darunter liegende Antireflexschicht 4 aufweist. Die Resistorschicht 3 weist eine Schichtdicke auf, die typischerweise im Bereich zwischen 500 nm und 600 nm liegt. Im vorliegenden Ausführungsbeispiel beträgt die Schichtdicke der Resistorschicht 3 etwa 570 nm.

[0041] Die Schichtdicke der Antireflexschicht 4 ist abhängig vom jeweils verwendeten Lacktyp. Im vorliegenden Ausführungsbeispiel beträgt diese Schichtdicke etwa 56 nm. Vorzugsweise wird eine organische Antireflexschicht 4 eingesetzt. Prinzipiell ist auch die Verwendung einer amorphen Siliziumschicht denkbar.

[0042] Die Schichtdicke der Resistorschicht 3 ist an die Schichtdicke der ersten Maskenschicht 1 angepasst.

[0043] Die Schichtdicke dieser ersten Maskenschicht 1 beträgt im vorliegenden Ausführungsbeispiel 250 nm. Prinzipiell sind jedoch auch Schichtdicken von etwa 100 nm und sogar unterhalb von 100 nm verwendbar.

[0044] Da die Schichtdicke der ersten Maskenschicht 1 sehr gering ist und da durch die Verwendung von Polysilizium oder kristallinem Silizium diese erste Maskenschicht 1 zur Strukturierung der Hartmaske mittels Ätzprozessen selektiv zur Lackmaske ätzbar ist, kann die Schichtdicke der Lackmaske entsprechend gering gewählt werden. Dies ist insbesondere deshalb vorteilhaft, weil bei den gängigen Lithographieverfahren die Schichtdicken der Lackmasken auf relativ geringe Werte begrenzt werden müssen.

[0045] Die Schichtdicke der zweiten Maskenschicht 2 ist erheblich größer als die Schichtdicke der ersten Maskenschicht 1. Die Schichtdicke der zweiten Maskenschicht 2 liegt vorzugsweise bei Werten um 900 nm oder darüber. Vorteilhafterweise beträgt die Schichtdicke der zweiten Maskenschicht 2 wenigstens 1 µm. Im vorliegenden Ausführungsbeispiel nimmt die Schichtdicke der zweiten Maskenschicht 2 einen Wert von etwa 1 µm an.

[0046] Derart große Schichtdicken können deshalb realisiert werden, da bei der Strukturierung der zweiten Maskenschicht 2 Ätzprozesse einsetzbar sind, bei welchen die zweite Maskenschicht 2 selektiv zur ersten Maskenschicht 1 ätzbar ist.

[0047] Durch die große Schichtdicke der zweiten Maskenschicht 2 können entsprechend tiefe Gräben im Halbleitersubstrat zur Herstellung der Speicherzellen erzeugt werden. Dadurch können die geforderten Kapazitäten für die Speicherzellen erreicht werden, die typischerweise bei 40 fF liegen.

[0048] Anhand der Fig. 1-4 wird im folgenden ein Ausführungsbeispiel des erfundungsgemäßen Verfahrens zur Herstellung von Gräben für eine DRAM Zellanordnung beschrieben.

[0049] Mittels bekannter Photolithographieprozesse wird entsprechend der Anordnung der zu erzeugenden Gräben ein Lochmuster in der Resistorschicht 3 erzeugt. In Fig. 1 ist ein derartiges Loch 5 in der Resistorschicht 3 der so generierten Lackmaske dargestellt.

[0050] Erfundungsgemäß erfolgt durch die Löcher 5 in der Lackmaske eine Strukturierung von Ausnehmungen 6 in der ersten Maskenschicht 1. Dies ist schematisch in Fig. 2 dargestellt. Die Strukturierung dieser Ausnehmungen 6 erfolgt mittels eines Plasma-Ätzprozesses.

[0051] Vorzugsweise wird während dieses Ätzprozesses

der Rand des Wafers mittels eines Abdeckringes abgedeckt. Der Abdeckring ist von einem ätzresistenten Ring gebildet, der dicht oberhalb des Wafers mit der darauf angeordneten Lackmaske positioniert werden kann. Der Abdeckring wirkt somit als Blende während der Ätzung und schützt so die Oberfläche im Bereich des Waferrandes. Auf diese Weise wird dort die Bildung von Black Silicon während der Grabenätzung im Bereich des Waferrandes vermieden. Hierbei handelt es sich um lokale Bildung von rauem, nadelförmigem Silizium, welches für die Herstellung von DRAM Zellen unbrauchbar ist und somit als Ausschuss die Ausbeute des Herstellungsprozesses vermindert.

[0052] Im Bereich des Randes des Abdeckringes wird die Ätzung der Oberfläche der Hartmaske beeinträchtigt, so dass die Profile der Ausnehmungen 6 in der ersten Maskenschicht nicht mehr vertikal sondern leicht schräg verlaufen. Da bei der erfundungsgemäßen Hartmaske die erste Maskenschicht 1 jedoch eine sehr geringe Schichtdicke aufweist, wirkt sich dieser Effekt nur geringfügig auf die nachfolgende Herstellung der Gräben im Halbleitersubstrat aus.

[0053] Vorteilhafterweise wird zum Einätzen der Ausnehmungen 6 in die erste Maskenschicht 1 eine High-Density-Plasma-Quelle verwendet. Hierdurch kann der Einfluss des Abdeckrings auf den Ätzprozess sehr gering gehalten werden.

[0054] Nach Durchführung dieses Ätzprozesses wird die Lackmaske entfernt, so dass die erste Maskenschicht 1 mit den einzelnen Ausnehmungen 6 frei liegt. Dies ist in Fig. 3 schematisch dargestellt.

[0055] Anschließend erfolgt durch die Ausnehmungen 6 in der ersten Maskenschicht 1 mittels eines weiteren Ätzprozesses eine Strukturierung der zweiten Maskenschicht 2.

[0056] Durch diesen zweiten Ätzprozess werden die Ausnehmungen 6 in der ersten Schicht weiter eingeätzt, so dass diese schließlich auch die zweite Maskenschicht 2 durchsetzen.

[0057] Alternativ kann die Lackmaske auf der ersten Maskenschicht 1 belassen werden. Die Strukturierung der zweiten Maskenschicht 2 erfolgt durch Ausnehmungen 6, die sowohl die erste Maskenschicht 1 als auch die Lackschicht durchsetzen. Diese Variante hat den Vorteil, dass die Lackmaske zur Strukturierung der zweiten Maskenschicht 2 nicht entfernt werden muss, so dass ein kompletter Prozessschritt eingespart werden kann.

[0058] Der zweite Ätzprozess ist wiederum von einem Plasma-Ätzprozess gebildet. Prinzipiell kann dabei wieder eine High-Density-Plasma-Quelle verwendet werden. Alternativ kann zur Ätzung ein RIE-Verfahren (reactive ion etching) eingesetzt werden. Vorzugsweise kommt ein MERIE-Verfahren (magnetic enhanced reactive ion etching) zum Einsatz.

[0059] Dieser zweite Ätzprozess wird ohne Abdeckring durchgeführt. Da während des ersten Ätzprozesses zur Strukturierung der ersten Maskenschicht 1 der Rand des Wafers mittels eines Abdeckrings abgedeckt wurde, ist die zweistufige Hartmaske in diesem Bereich noch vollständig vorhanden, so dass dadurch die Bildung von Black Silicon während der Grabenätzung verhindert wird.

[0060] Der wesentliche Vorteil hierbei besteht darin, dass es somit bei dem zweiten Ätzprozess nicht mehr zu einer Beeinträchtigung der Profile der Ausnehmungen 6 durch den Abdeckring kommt. Insbesondere wird bei dem zweiten Ätzprozess kein weiterer schräger Versatz der Ausnehmungen 6 erhalten.

[0061] Bei der nachfolgenden Grabenätzung durch die Ausnehmungen 6 der Hartmaske wird somit eine nahezu versatzfreie Positionierung der Gräben erhalten. Insbesondere sind die Gräben mit hinreichender Genauigkeit relativ

in den aktiven Bereichen der DRAM Zellanordnung positionierbar. Die Gefahr einer Funktionsbeeinträchtigung der DRAM Zellanordnung durch ein sogenanntes DT-AA (deep trench-active area) Misalignment ist daher mit hoher Sicherheit ausgeschlossen.

[0062] Dabei ist es vorteilhaft, dass die Schichtdicke der ersten Maskenschicht 1 im Verhältnis zur Schichtdicke der zweiten Maskenschicht 2 sehr klein gewählt werden kann. Das wird erfahrungsgemäß dadurch erreicht, dass die Ätzung der zweiten Maskenschicht 2 unter Ausnutzung einer möglichst hohen Selektivität zur ersten Maskenschicht 1 erfolgt. Durch eine geeignete Wahl der Materialien der ersten und zweiten Maskenschicht 1, 2 kann durch eine starke Verringerung der Schichtdicke der ersten Maskenschicht 1 der Versatz bei der Grabenätzung kontrolliert und sehr gering gehalten werden.

[0063] Weiterhin ist vorteilhaft, dass durch eine geeignete Ausbildung der ersten Maskenschicht 1 das Problem des Versatzes von Gräben weitgehend entkoppelt von der Ausbildung der zweiten Maskenschicht 2 gelöst werden kann. 20

[0064] Die zweite Maskenschicht 2 kann dann entsprechend der für die Grabenätzung verwendeten Technologie ausgebildet und angepasst sein. Insbesondere kann die Schichtdicke der zweiten Maskenschicht 2 an die Anforderungen für die Grabenätzung angepasst werden, ohne dass dadurch der Versatz von Gräben verschlechtert würde. 25

#### Patentansprüche

1. Verfahren zur Herstellung von Gräben für die Herstellung von Speicher kondensatoren bei DRAM-Zellanordnungen, umfassend folgende Verfahrensschritte:

- Aufbringen einer ersten, aus einer SiO<sub>2</sub>-Schicht gebildeten Maskenschicht (1) und einer zweiten, aus einer Polysiliziumschicht oder einer kristallinen Siliziumschicht gebildeten Maskenschicht (2) auf einen Halbleitersubstrat bildenden Wafer, wobei die erste Maskenschicht (1) erheblich dünner als die zweite, darunter liegende und auf dem Halbleitersubstrat aufgebrachte Maskenschicht (2) ist,

- Aufbringen einer Lackmaske (3, 4) auf die erste Maskenschicht (1),

- Strukturierung von Ausnehmungen in der ersten Maskenschicht (1) entsprechend dem Lochmuster der Lackmaske (3, 4) mittels eines ersten Ätzprozesses, wobei die erste Maskenschicht (1) selektiv zur Lackmaske (3, 4) ätzbar ist, und

- anschließende Strukturierung von Ausnehmungen in der zweiten Maskenschicht (2) durch die Ausnehmungen der ersten Maskenschicht (1) mittels eines zweiten Ätzprozesses, wobei die zweite Maskenschicht (2) selektiv zur ersten Maskenschicht (1) ätzbar ist,

dadurch gekennzeichnet, dass

- die erste Maskenschicht (1) eine Schichtdicke im Bereich vom 100 nm bis 250 nm aufweist und
- die zweite Maskenschicht eine Schichtdicke größer als 850 nm aufweist.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass während der Strukturierung von Ausnehmungen (6) in der ersten Maskenschicht (1) der Wafer-Rand abgedeckt wird.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass zur Abdeckung des Wafer-Randes ein Abdeckring eingesetzt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass vor der Strukturierung von

Ausnehmungen (6) in der zweiten Maskenschicht (2) die Lackmaske entfernt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Strukturierung von Ausnehmungen (6) in der ersten und zweiten Maskenschicht (2) jeweils mittels eines Plasma-Ätzprozesses erfolgt.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass zur Strukturierung der Ausnehmungen (6) in der ersten Maskenschicht (1) eine High-Density-Plasma-Quelle verwendet wird.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass zur Strukturierung der Ausnehmungen (6) in der zweiten Maskenschicht (2) ein RIE- oder MERIE-Verfahren eingesetzt wird.

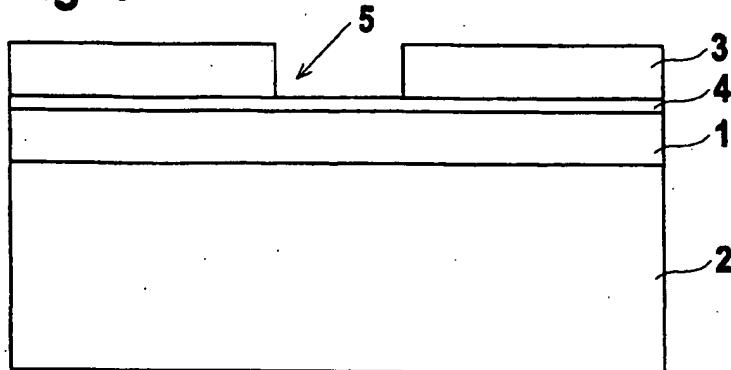
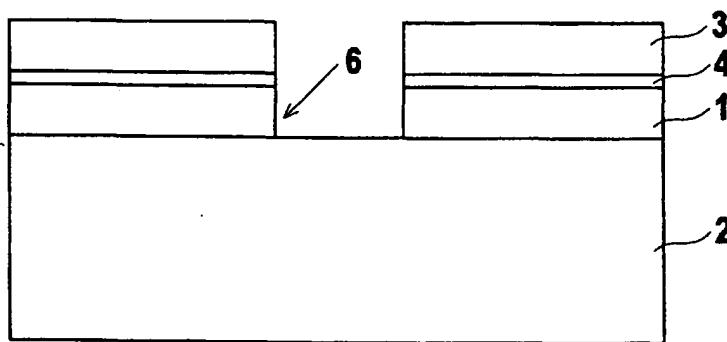
8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Lackmaske (3, 4) eine Resistorschicht (3) mit einer darunter liegenden Antireflexschicht (4) aufweist, wobei die Resistorschicht (3) eine Schichtdicke im Bereich von 500 nm bis 600 nm und die Antireflexschicht (4) eine Schichtdicke von 50 nm bis 60 nm aufweist.

---

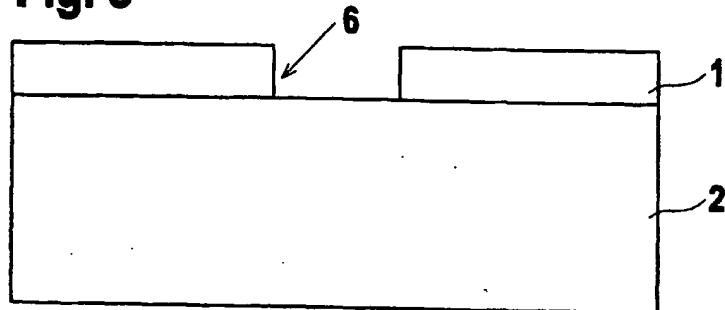
Hierzu 2 Seite(n) Zeichnungen

---

**- Leerseite -**

**Fig. 1****Fig. 2**

**Fig. 3**



**Fig. 4**

